

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

MENU

SEARCH

INDEX

DETAIL

BACK

NEXT

10/11



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07122589

(43)Date of publication of application: 12.05.1995

(51)Int.Cl.

H01L 21/60

(21)Application number: 05264498

(71)Applicant:

SHARP CORP

(22)Date of filing: 22.10.1993

(72)Inventor:

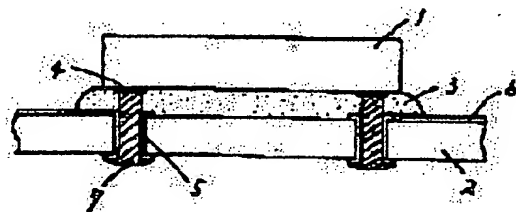
TANIGUCHI KIMIHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

**PURPOSE:** To provide the semiconductor device, whose productivity is improved, by connecting a semiconductor element, which is individually divided, to a substrate wherein a through hole is formed with a flip chip without forming complicated bumps, and decreasing the manufacturing cost.

**CONSTITUTION:** A semiconductor element 1 is connected to a light-screening wiring substrate 2, wherein a through hole part 5 is formed with a flip chip by way of photosensitive insulating material 3. Light is cast through the rear surface of the wiring substrate 2, and the photosensitive insulating material 3 at the through hole part is selectively removed. An electrode part 4 of the semiconductor element 1 is exposed. The part, where the photosensitive insulating material 3 is removed, is filled with conductive material 7 such as solder, and the electric connection of the semiconductor element 1 and the wiring substrate 2 is obtained.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

---

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[BACK](#)[NEXT](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-122589

(43) 公開日 平成7年(1995)5月12日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

3 1 1 Q 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平5-264498

(22) 出願日 平成5年(1993)10月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 谷口 仁啓

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

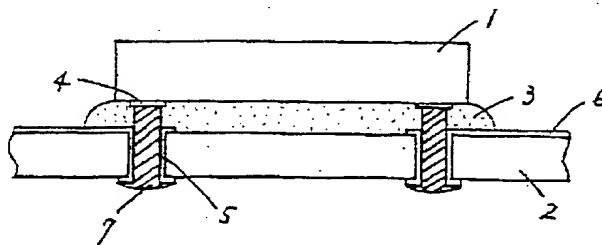
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 半導体装置及びその製造方法

(5) 【要約】

【目的】 個別に分断された半導体素子を、複雑なバンパ形成を行うことなく、スルーホールを形成した基板にフリップチップ接続することによって、製造コストを低減し、生産性を向上させた半導体装置を提供する。

【構成】 感光性絶縁材料3を介して、半導体素子1をスルーホール部5が形成された遮光性の配線基板2にフリップチップ接続する。配線基板2の裏面より光を照射させて、スルーホール部の感光性絶縁材料3を選択的に除去し、半導体素子1の電極部4を露出させて、感光性絶縁材料3が除去された部分に半田などの導電材7を充填し、半導体素子1と配線基板2の電気的接続を得る。



## 【特許請求の範囲】

【請求項 1】 電極部を有する素子と、導体配線と電気的に接続されたスルーホール部を有する配線基板と、上記素子と上記配線基板との間に感光性絶縁材料とを備え、上記電極部と上記スルーホール部が対向する位置に整合され、かつ導電材により電気的に接続されたことを特徴とする半導体装置。

【請求項 2】 電極部を有する素子もしくは導体配線と電気的に接続されたスルーホール部を有する配線基板上に感光性絶縁材料を形成する工程と、  
上記電極部と上記スルーホール部とを位置合わせして上記素子と上記配線基板とを接着する工程と、  
上記配線基板をマスクにして上記スルーホール部に光を照射して上記感光性絶縁材料を感光して選択的に除去し上記電極部を露出する工程と、  
上記電極部と上記スルーホール部とを導電材により接続する工程と、を特徴とする請求項 1 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 ベアチップをフェイスダウン状態で配線基板上に搭載するフリップチップ実装は高密度実装が可能であり、信号伝達遅延が少ないなど、多くの長所を有する実装方法であり、今後ますます需要の伸びが期待されている。フリップチップ接続は、図 3 に示すように半導体素子 1 の電極部 4 上に形成された半田、金等のバンプ 8 を介して半導体素子 1 と導体配線 6 を有する配線基板 2 が接続される構造になっているため、使用環境の温度変化や素子の発熱に伴って、バンプ部に素子と基板の熱膨張差に起因する繰返しひずみが重畳し、最終的には破断に至るという欠点があり、このため、素子の材料と熱膨張係数差が少なく、ソリやうねりのないセラミック製の基板を使用することが多かった。さらに、高い信頼性が要求されるものには、半導体素子 1 と配線基板 2 の間隙を適切な封止樹脂 9 で充填する方法がとられている。

【0003】 また、特開平 5-47847 に示すように、細密ピッチの IC チップをフレキシブル基板上に実装するため、ポリイミドテープに穴あけを行い、バンプを穴内に設けた技術が開示されている。

## 【0004】

【発明が解決しようとする課題】 ところで、今後、優れた特徴を有するフリップチップ実装方式が広く普及するには、製造技術の向上、製造コストの低減等が大きな課題となっている。従来のフリップチップ実装方法は、上記のように高価なセラミック製の基板を使用したり、複雑なバンプ形成工程を経る必要があり、コストや生産性

の面ではおのずから限界があった。

【0005】 また、フリップチップ接続に使用される基板の種類については、セラミック以外にシリコン基板やプリント基板等の使用も可能であるが、さらにフリップチップ実装の用途を広げる意味においては、スルーホールが形成されたフレキシブル基板をはじめ、様々な基板への適用が望まれる。しかしながら、フレキシブル基板では、基板に素子を搭載する際に基板のうねりやソリが障害となり、良好に素子と基板を接続することが困難であった。

【0006】 また、フリップチップ接続を行うためには、バンプ付きの素子を入手するか、もしくは素子を形成したウェーハを入手してバンプを形成する必要があるが、現状ではいずれも入手が困難であるといった問題点があった。

【0007】 一方、特開平 5-47847 に示されているように、テープキャリアのインナーリードボンディングの場合、リードの材料が銅、バンプの材料が金であるとする、この時の接続条件は、ボンディングツール温度が 500℃ 前後、ボンディング時間 1 秒程度と予測され、かなりの高温で実装することになる。その結果、基板の変形により接続が著しく困難になると予想される。

【0008】 そこで本発明の目的は、ウェーハから分断された素子単体にバンプを形成することなく直接基板にフリップチップ接続することによって、低コストで生産性に優れた信頼性の高い半導体装置を提供すること、さらにソリやうねりの生じやすいフィルム状のフレキシブル基板や薄型のプリント基板へ半導体素子をフリップチップ接続した半導体装置及びその製造方法を提供することにある。

## 【0009】

【課題を解決するための手段】 本発明の半導体装置は、電極部を有する素子と、導体配線と電気的に接続されたスルーホール部を有する配線基板と、上記素子と上記配線基板との間に感光性絶縁材料とを備え、上記電極部と上記スルーホール部が対向する位置に整合され、かつ導電材により電気的に接続されたことを特徴とする。

【0010】 本発明の半導体装置の製造方法は、電極部を有する素子もしくは導体配線と電気的に接続されたスルーホール部を有する配線基板上に感光性絶縁材料を形成する工程と、上記電極部と上記スルーホール部とを位置合わせして上記素子と上記配線基板とを接着する工程と、上記配線基板をマスクにして上記スルーホール部に光を照射して上記感光性絶縁材料を感光して選択的に除去し上記電極部を露出する工程と、上記電極部と上記スルーホール部とを導電材により接続する工程と、を特徴とする。

## 【0011】

【作用】 ウェーハから分断された半導体素子単体を直接、基板に搭載するので、入手困難なバンプ付半導体素

子もしくは素子を形成したウェーハにバンパを形成することが不要になり、低コスト化が図れる。

【0012】また、スルーホールが形成されたフィルム状のフレキシブル基板や薄型のプリント基板にフリップチップ接続が可能となり、フリップチップ実装の用途が広がる。

【0013】また、半田による接続方法を用いたとしても接続に要する温度は、高々200℃程度であり、比較的低温で実装が可能となるので接続が容易となる。

【0014】さらに、半導体素子と配線基板の間に感光性樹脂等の感光性絶縁材料が充填されているため、機械的強度及び耐湿信頼性が向上する。

【0015】

【実施例】以下、本発明の実施例を図面に基づき詳細に説明する。

【0016】図1に、本実施例に係る半導体装置の断面構造を示す。ここで、1は半導体素子、2は遮光性の配線基板、3は感光性絶縁材料、4は半導体素子の電極部、5はスルーホール部、6は導体配線、7は半田からなる導電材を示している。

【0017】図2に、本実施例に係る半導体装置の製造方法を示す。まず、個別に分断された半導体素子1もしくはスルーホール5の形成された配線基板1に、例えば感光性ポリイミドなどの半透明もしくは透明の感光性絶縁材料3を塗布し、半導体素子1の電極部4と、電極部4に対向する位置に設けられた基板のスルーホール部5とを位置決めしたのち、半導体素子を配線基板2に仮接続する。このとき、配線基板2を半導体素子搭載装置のテーブル（図示せず）に、例えば真空吸着させるなど、配線基板2の平坦性が保たれた状態で半導体素子1を配線基板2に搭載すれば、真空吸着を解除しても感光性絶縁材料3の粘着性によって半導体素子1と配線基板2が仮固定された状態に保つことが可能となる（図2

(a)）。次に、感光性絶縁材料3を硬化させ、半導体素子1と配線基板2を固定する。さらに、配線基板2の裏面（半導体素子1の搭載されていない面）から光を照射する。このとき、基板のスルーホール部5を通して、感光性絶縁材料3に光が照射され、その他の部分は光が配線基板2に遮断されるために、半導体素子1と配線基板2の間に介在している感光性絶縁材料3は基板2のスルーホール部5だけが感光されることになる（図2

(b)）。すなわち、配線基板2をフォトマスクの代替えとして使用する。

【0018】次に、このスルーホール部5の感光された部分を現像液によって溶解する。このとき、スルーホール部5の感光性絶縁材料3が円柱状に除去され、半導体素子1の電極部4と配線基板2のスルーホール部5が位置決めされているので、スルーホール部5を配線基板2裏面からみると、半導体素子1の電極部4が露出された状態になる。通常、素子の電極の材料はアルミニウムが

使用されており、直接半田による接続を行うことができないので、中間金属層と呼ばれる半田の拡散防止と濡れ性向上を目的とした金属層（図示せず）をスパッタリングや真空蒸着によって形成する。

【0019】次に、スルーホール部5に印刷などの手法によって半田からなる導電材7を供給し、半田からなる導電材7を溶融凝固させる。本発明において使用される配線基板2は、スルーホール部5内面に形成された導電材7が、基板の表面もしくは基板の内部に形成された導体配線6と電気的に接続されているので、半導体素子1と配線基板2とが電気的に接続されることになる。さらに、スルーホール部5以外の余分な金属層をエッチング等により除去するが、このとき、中間金属層だけを溶解し、半田を溶解しないエッチング液を用いることにより、自動的に不要な金属層だけが選択的にエッチングできる。以上で一連の工程が完了する（図2(c)）。ここでは、単一の半導体素子を基板に搭載する方法を示したが、同様の方法で複数の半導体素子をひとつの基板に搭載することも可能である。

【0020】また、上記実施例においては、半導体素子の電極部と基板のスルーホール部との接続は、半田を用いて行っているが、例えば、印刷などによってスルーホール部だけに選択的に供給した導電性ペーストを硬化させることによって接続を行うことも可能であるし、金などの材料を蒸着やメッキによって選択的にスルーホール部に供給することによっても可能である。

【0021】さらに、図3に示す従来の半導体素子のフリップチップ接続によれば、あらかじめ半導体素子にバンパを形成する必要があるが、本発明では複雑なバンパ形成工程を省略することが可能であり、基板のソリやうねりの発生しやすいフレキシブル基板や薄型のプリント基板へのフリップチップ接続も容易にできる。

【0022】

【発明の効果】本発明は、感光性絶縁材料を介して半導体素子をスルーホールを形成した基板にフリップチップ接続し、スルーホール部の感光性材料を選択的に除去した後、露出された半導体素子の電極部とスルーホール部を導電性材料によって接続するものである。したがって、本発明によれば、バンパ付きの半導体素子入手すること、もしくは、素子を形成した半導体ウェーハ入手した後、複雑なバンパ工程を経ることなくフリップチップ接続を行うことが可能となる。また、比較的低温で実装できるためソリやうねりの発生しやすいフレキシブル基板や薄型のプリント基板へのフリップチップ接続が容易になる。

【0023】さらに、半導体素子と配線基板間に感光性絶縁材料があるため、機械的強度及び耐湿信頼性が向上すると共に、製造工程を簡略化できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体装置の断面構造を

(4)

5

説明するための図である。

【図2】本発明の実施例に係る半導体装置の製造方法を説明するための図である。

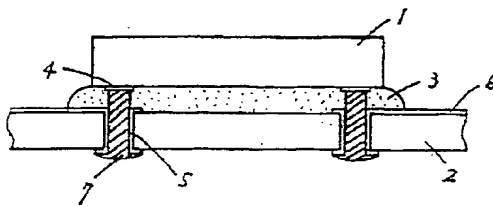
【図3】従来のフリップチップ方式によって製造された半導体装置の断面を説明するための図である。

【図2】の説明】

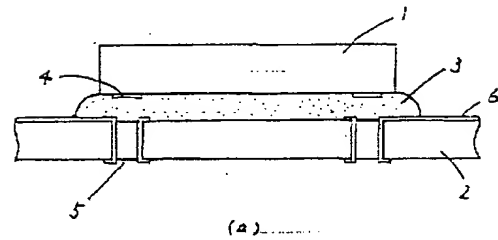
- 半導体素子
- 配線基板

- 感光性絶縁材料
- 電極部
- スルーホール部
- 導体配線
- 導電材
- バンプ
- 封止樹脂

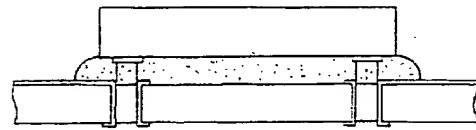
【図1】



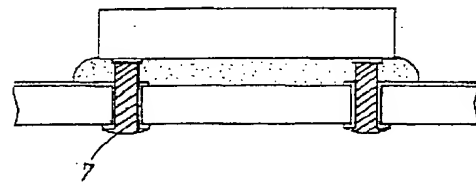
【図2】



(a)



(b)



(c)

【図3】

